

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0042155
Application Number

출원년월일 : 2002년 07월 18일
Date of Application JUL 18, 2002

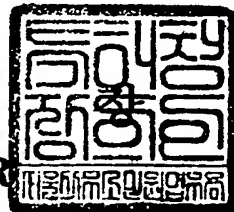
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 04 월 16 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0014
【제출일자】	2002.07.18
【발명의 명칭】	플래시 메모리의 로우 디코더 및 이를 이용한 플래시 메모리 셀의 소거 방법
【발명의 영문명칭】	Row decoder of flash memory and erasing method of flash memory cell using the same
【출원인】	
【명칭】	(주)하이닉스 반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	신영무
【대리인코드】	9-1998-000265-6
【포괄위임등록번호】	1999-003525-1
【발명자】	
【성명의 국문표기】	김기석
【성명의 영문표기】	KIM,Ki Seog
【주민등록번호】	620626-1173316
【우편번호】	467-010
【주소】	경기도 이천시 창전동 일심아파트 504호
【국적】	KR
【발명자】	
【성명의 국문표기】	이근우
【성명의 영문표기】	LEE,Keun Woo
【주민등록번호】	680505-1802437
【우편번호】	449-905
【주소】	경기도 용인시 기흥읍 상갈리 금화마을 주공그린빌 309-1105
【국적】	KR

【발명자】

【성명의 국문표기】 박성기
【성명의 영문표기】 PARK, Sung Kee
【주민등록번호】 690123-1805714
【우편번호】 467-140
【주소】 경기도 이천시 고당동 고당기숙사 102-707
【국적】 KR

【발명자】

【성명의 국문표기】 전유남
【성명의 영문표기】 JEON, Yoo Nam
【주민등록번호】 740114-1149714
【우편번호】 467-865
【주소】 경기도 이천시 부발읍 신하리 진우아파트 104-701
【국적】 KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
 신영무 (인)

【수수료】

【기본출원료】	19 면	29,000 원
【가산출원료】	0 면	0 원
【우선권주장료】	0 건	0 원
【심사청구료】	11 항	461,000 원
【합계】		490,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 플래시 메모리의 로우 디코더 및 이를 이용한 플래시 메모리 셀의 소거 방법에 관하여 개시한다. 본 발명의 로우 디코더는, 제1 입력신호를 게이트 전극 입력으로 하며 제1 전원단자와 제1 노드 사이에 접속된 PMOS 트랜지스터와, 상기 제1 입력신호를 게이트 전극 입력으로 하며 상기 제1 노드와 제2 노드 사이에 접속된 제1 NMOS 트랜지스터와, 제2 입력신호를 게이트 전극 입력으로 하며 상기 제2 노드와 접지단자 사이에 접속된 제2 NMOS 트랜지스터 및 제3 입력신호를 게이트 전극 입력으로 하며 상기 제2 노드와 제2 전원단자 사이에 접속된 스위칭 수단을 포함하되, 상기 제1 노드는 워드라인에 연결되어 있다.

【대표도】

도 5

【색인어】

로우 디코더, 비트 페일, 로우 리턴턴시, ONO 절연막

【명세서】**【발명의 명칭】**

플래시 메모리의 로우 디코더 및 이를 이용한 플래시 메모리 셀의 소거 방법{Row decoder of flash memory and erasing method of flash memory cell using the same}

【도면의 간단한 설명】

도 1은 플래시 메모리 셀의 구조를 보여주는 도면이다.

도 2는 페일 비트가 발생된 플래시 메모리 셀의 구조를 보여주는 도면이다.

도 3은 종래의 컬럼 리턴던시 리페어를 보여주는 도면이다.

도 4는 로우 리턴던시 리페어를 보여주는 도면이다.

도 5은 본 발명의 바람직한 실시예에 따른 로우 디코더를 나타내는 도면이다.

도 6은 본 발명에 따른 소거방법을 이용하여 페일 비트가 발생된 플래시 메모리 셀의 게이트에 접지전압이 인가되는 모습을 보여주는 도면이다.

<도면의 주요 부분에 부호의 설명>

PT1: PMOS 트랜지스터 NT1: 제1 NMOS 트랜지스터

NT2: 제2 NMOS 트랜지스터 NT3: 스윙칭 수단

Vinput: 제1 입력신호 Vdcharge: 제2 입력신호

Vsw: 제3 입력신호 Vpp: 제1 전원단자

Veei: 제2 전원단자 Vss: 접지단자

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <13> 본 발명은 플래시 메모리 장치 및 소거방법에 관한 것으로, 더욱 상세하게는 플래시 메모리의 로우 디코더 및 이를 이용한 플래시 메모리 셀의 소거 방법에 관한 것이다.
- <14> 플래시 메모리 소자가 고집적화됨에 따라 플로팅 게이트와 콘트롤 게이트 사이의 유전체막인 ONO 절연막, 즉 산화막, 실리콘 질화막 및 산화막이 순차적으로 적층된 구조의 절연막 두께 감소가 필요하다. 한편, 보다 빠른 소거 속도(erase speed)가 요구됨에 따라 소거시 인가 전압은 더욱 고전압이 요구되고 있다.
- <15> 도 1은 플래시 메모리 셀의 구조를 보여주는 도면이다.
- <16> 도 1을 참조하면, 플래시 메모리 셀은 반도체 기판(100) 상에 소오스 영역(104)이 형성되어 있고, 상기 소오스 영역(104)으로부터 채널 영역(미도시)을 사이에 두고 드레인 영역(102)이 형성되어 있다. 상기 채널 영역 상부에는 터널 산화막(106)에 의해 절연된 플로팅 게이트(108)가 형성되어 있고, 플로팅 게이트(108) 상에 유전체막(110)에 의해 절연된 콘트롤 게이트(112)가 형성되어 있다. 플래시 메모리 셀의 소거는 전하(전자)를 플로팅 게이트(108)에서 반도체 기판(100)으로 F-N 터널링(Fowler-Nordheim tunneling)을 이용하여 방출시킴으로써 수행된다. 일반적인 소거 방법은 음의 고전압(예를 들면, -8V)을 콘트롤 게이트(112)에 인가하고, 반도체 기판(100)에는 적당한 양의 전압(예를 들면, +8V)을 인가함으로써 이루어진다. 이때, 드레인 영역(102)은 소거의 효과를 극대화하기 위해 고 임피던스 상태 또는 플로팅 상태로 유지된다. 상기과 같은 방법

에 의해 콘트롤 게이트(112)와 반도체 기판(100) 간에 강한 전계가 형성되고, 이로 인해 F-N 터널링이 발생하여 플로팅 게이트(108) 내의 전하(전자)가 반도체 기판(100)으로 방전된다.

<17> 상술한 바와 같이 종래에는 소거시 콘트롤 게이트(112)에 -8V, 반도체 기판(100)에 +8V가 인가되어 콘트롤 게이트(112)와 반도체 기판(100) 또는 소오스/드레인(104, 102) 간에 인가되는 전위차는 16V 정도가 된다. 이러한 전위차는 플로팅 게이트(108)에 전압 분배되어 콘트롤 게이트(112)와 플로팅 게이트(108) 사이에 인가되는 전압은 소자의 정 전용량비에 의존하지만, 약 8V 정도로서 일반적으로 두 게이트(112, 108) 사이의 유전체 막(110)의 파괴전압(Breakdown Voltage)이 14V 정도 됨에 따라 ONO 절연막(110)의 절연 강도는 소거시 유기되는 전위차를 충분히 감당할 수 있다.

<18> 그러나, 도 2에 나타낸 바와 같이 플로팅 게이트(108)가 콘택(114)과 연결된 경우(도 2의 'A' 참조), 플로팅 게이트(108)의 전압과 드레인(102)에 인가되는 전압이 등전압이 되어 흐르는 전류가 매우 적은 값을 나타내는 낮은 트랜스컨덕턴스 셀(Low Gm Cell)의 특성을 나타내고, 이러한 셀은 설계시 미리 준비된 컬럼(Column), 즉 리던던시 셀(Redundancy Cell)로 대체되는 리페어 과정(Repair Scheme)(도 3 참조)에 의하여 수율 손실(Yield Loss)을 개선하게 된다. 그러나, 소거시 인가되는 전압은 폐일된 셀과 리페어된 셀에 동시에 인가되기 때문에 도 2에

나타낸 바와 같이 콘트롤 게이트(112)와 플로팅 게이트(108) 사이에 인가되는 전압은 약 15.5V가 되어 ONO 절연막의 절연 강도 이상이 되어 사이클링(cycling)에서 페일을 유발하게 된다. 즉, 소거시 소오스(104) 및 드레인(102)은 플로팅(floating)시키고 콘트롤 게이트(112)에는 -8V가 인가되고 반도체 기판(100)에는 +8V가 인가되는데, 이때 반도체 기판(100)은 P형이고 드레인(102)은 N형이므로 반도체 기판(100)과 드레인(102) 사이에는 순방향 바이어스가 인가되어 P-N 다이오드의 역할을 하게 된다. 따라서, 드레인(102)에는 P-N 다이오드 전압 강하를 고려할 때 7.5V 정도의 전압이 인가되는 결과가 된다. 따라서, 플로팅 게이트(108)가 콘택(114)과 연결된 경우 플로팅 게이트(108)의 전압과 드레인(102)에 인가되는 전압이 동전압이므로 플로팅 게이트(108)는 7.5V의 전압을 갖게 되고, 플로팅 게이트(108)와 콘트롤 게이트(112) 사이의 유전체막(110)에는 15.5V 정도의 전압이 인가되는 결과가 되어 절연 파괴 현상이 발생할 수 있다.

【발명이 이루고자 하는 기술적 과제】

<19> 본 발명이 이루고자 하는 기술적 과제는 소거모드시 플로팅 게이트와 콘트롤 게이트 사이의 유전체막이 절연 파괴되는 현상을 억제하기 위하여 페일 비트가 발생한 셀이 연결된 워드라인에는 접지전압을 인가하고 페일 비트가 발생하지 않은 셀이 연결된 워드라인에는 소거전압을 인가할 수 있는 플래시 메모리의 로우 디코더를 제공함에 있다.

<20> 본 발명이 이루고자 하는 다른 기술적 과제는 소거모드시 플로팅 게이트와 콘트롤 게이트 사이의 유전체막이 절연 파괴되는 현상을 억제할 수 있는 플래시 메모리 셀의 소거방법을 제공함에 있다.

【발명의 구성 및 작용】

- <21> 상기 기술적 과제를 달성하기 위하여 본 발명은, 제1 입력신호를 게이트 전극 입력으로 하며 제1 전원단자와 제1 노드 사이에 접속된 PMOS 트랜지스터와, 상기 제1 입력신호를 게이트 전극 입력으로 하며 상기 제1 노드와 제2 노드 사이에 접속된 제1 NMOS 트랜지스터와, 제2 입력신호를 게이트 전극 입력으로 하며 상기 제2 노드와 접지단자 사이에 접속된 제2 NMOS 트랜지스터 및 제3 입력신호를 게이트 전극 입력으로 하며 상기 제2 노드와 제2 전원단자 사이에 접속된 스위칭 수단을 포함하되, 상기 제1 노드는 워드라인에 연결되어 있는 것을 특징으로 하는 플래시 메모리의 로우 디코더를 제공한다.
- <22> 상기 제1 전원단자로부터 출력되는 전압은 양의 전압이다.
- <23> 상기 제2 전원단자로부터 출력되는 전압은 음의 전압이다.
- <24> 상기 스위칭 수단은 NMOS 트랜지스터로 이루어질 수 있다.
- <25> 상기 다른 기술적 과제를 달성하기 위하여 본 발명은, 로우 디코더를 이용한 플래시 메모리 셀의 소거 방법에 있어서, 페일 비트가 발생된 셀이 연결된 워드라인과 페일 비트가 발생하지 않은 셀이 연결된 워드라인을 구분하고, 소거모드에서 페일 비트가 발생된 셀의 플로팅 게이트와 콘트롤 게이트 사이의 유전체막이 절연 파괴되는 것을 억제하기 위하여 상기 페일 비트가 발생된 셀이 연결된 워드라인에는 접지 전압을 인가하고, 상기 페일 비트가 발생하지 않은 셀이 연결된 워드라인에는 소거전압인 음의 전압을 인가하여 소거하는 것을 특징으로 하는 플래시 메모리 셀의 소거 방법을 제공한다.
- <26> 상기 소거모드에서 상기 워드라인에 소거전압을 인가하기 위하여 로우 디코더를 이용하되, 상기 로우 디코더는, 제1 입력신호를 게이트 전극 입력으로 하며 제1 전원단자

와 제1 노드 사이에 접속된 PMOS 트랜지스터와, 상기 제1 입력신호를 게이트 전극 입력으로 하며 상기 제1 노드와 제2 노드 사이에 접속된 제1 NMOS 트랜지스터와, 제2 입력신호를 게이트 전극 입력으로 하며 상기 제2 노드와 접지단자 사이에 접속된 제2 NMOS 트랜지스터 및 제3 입력신호를 게이트 전극 입력으로 하며 상기 제2 노드와 제2 전원단자 사이에 접속된 스위칭 트랜지스터를 포함하며, 상기 제1 노드는 워드라인에 연결되어 있다. 상기 페일 비트가 발생된 셀이 연결된 워드라인에 접지전압을 인가하기 위하여 상기 제1 입력신호 및 상기 제2 입력신호로서 전원전압을 인가하고 상기 제3 입력신호로서 음의 전압을 인가하며, 상기 페일 비트가 발생하지 않은 셀이 연결된 워드라인에 소거전압인 음의 전압을 인가하기 위하여 상기 제1 입력신호 및 상기 제3 입력신호로서 전원전압을 인가하고 상기 제2 입력신호로서 음의 전압을 인가하며, 상기 제2 전원단자는 소거전압을 출력한다.

- <27> 상기 페일 비트가 발생된 셀은 플로팅 게이트와 소오스/드레인 콘택이 전기적으로 연결되어 낮은 트랜스컨덕턴스 특성을 나타내는 셀이다.
- <28> 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예를 상세하게 설명하기로 한다. 그러나, 이하의 실시예는 이 기술분야에서 통상적인 지식을 가진 자에게 본 발명이 충분히 이해되도록 제공되는 것으로서 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 다음에 기술되는 실시예에 한정되는 것은 아니다. 도면상에서 동일 부호는 동일한 요소를 지칭한다.
- <29> 본 발명에서는 플래시 메모리 셀에서 소거시 ONO 절연막에 스트레스(stress)를 주는 전위차가 콘트롤 게이트와 플로팅 게이트 사이의 전위차이므로 소거 동작시 ONO 절연막의 파괴를 유발할 수 있는 페일 비트(fail bit)를 공유하는 콘트롤 게이트의 전압을

0V로 유지하는 방법을 이용한다. 이하에서 본 발명의 바람직한 실시예를 통해 더욱 상세하게 설명한다.

<30> 도 4는 본 발명에 따라 사이클링 페일을 개선할 수 있는 플래시 메모리 소자의 회로도이다.

<31> 도 4를 참조하면, 본 발명은 낮은 트랜스컨덕턴스(low Gm)성 1비트 페일의 리페어를 위하여 기존의 컬럼 리던던시(Column Redundancy)를 사용하지 않고, 로우 리던던시(Row Redundancy)를 사용한다.

<32> 도 4와 같이 낮은 Gm(Transconductance) 셀이 있으면 컬럼 리페어(Column Repair)를 하지 않고, 로우 리페어(Row Repair)를 수행한다. 그후, 사이클링 등 소거 동작을 수행할 경우 본 발명의 바람직한 실시예에 따른 로우 디코더를 이용하여 페일 비트가 없는 워드라인에는 -8V를 인가하고, 페일 비트가 연결된 워드라인에는 0V를 인가하여 페일 비트가 발생된 셀의 플로팅 게이트와 콘트롤 게이트 사이에 인가되는 전위차가 ONO 절연막의 절연 파괴전압에 훨씬 못미치는 전압인 7.5V 정도가 되도록 한다. 따라서, 사이클링 등 소거 동작시 발생할 수 있는 ONO 절연막의 절연 파괴 현상을 억제할 수 있게 된다.

<33> 이하에서, 페일 비트가 없는 워드라인에는 -8V의 전압을 인가하고, 페일 비트가 연결된 워드라인에는 0V의 전압을 인가하기 위한 로우 디코더의 동작을 설명한다.

<34> 도 5는 본 발명에 바람직한 실시예에 따른 로우 디코더를 도시한 회로도이다.

<35> 도 5를 참조하면, 로우 디코더(RD)는 PMOS 트랜지스터(PT1), 제1 NMOS 트랜지스터(NT1) 및 제2 NMOS 트랜지스터(NT2)의 세 트랜지스터와, 소거 동작시 워드라인(WL)에 인

가되는 음의 전압의 전달을 제어하기 위한 스위칭 수단(NT3)을 포함한다. 로우 디코더(RD)의 출력단은 워드라인(WL)에 연결된다. PMOS 트랜지스터(PT1)와 제1 NMOS 트랜지스터(NT1)는 제1 전원단자(Vpp)와 제2 노드(N2) 사이에 직렬 접속되고, PMOS 트랜지스터(PT1)와 제1 NMOS 트랜지스터(NT1)는 제1 입력신호(Vinput)에 따라 구동된다. 즉, 제1 전원단자(Vpp)와 제1 노드(N1) 사이에 PMOS 트랜지스터(PT1)가 접속되고, 제1 노드(N1)와 제2 노드(N2) 사이에 제1 NMOS 트랜지스터(NT1)가 접속되며, PMOS 트랜지스터(PT1)와 제1 NMOS 트랜지스터(NT1)는 공통으로 제1 입력신호(Vinput)에 의해 구동된다. 제2 노드(N2)와 접지단자(Vss) 사이에는 제2 NMOS 트랜지스터(NT2)가 접속되고, 제2 NMOS 트랜지스터(NT2)는 제2 입력신호(Vdcharge)에 따라 구동된다. 제2 노드(N2)와 제2 전원단자(Veei) 사이에 스위칭 수단(NT3)이 접속되며, 상기 스위칭 수단(NT3)은 제3 입력신호(Vsw)에 따라 구동된다. 상기 스위칭 수단(NT3)은 NMOS 트랜지스터일 수 있다.

<36> 이하에서, 본 발명의 바람직한 실시예에 따른 로우 디코더(RD)의 동작을 설명한다.

<37> 제1 입력신호(Vinput)가 '하이(High)신호'일 경우, PMOS 트랜지스터(PT1)는 턴-오프(Turn-Off)되며, 제1 NMOS 트랜지스터(NT1)는 턴-온(Turn-On)된다. 이때, 제2 입력신호(Vdcharge)가 '하이신호'일 경우, 제2 NMOS 트랜지스터(NT2)가 턴-온되고, 이로 인하여 제2 노드(N2)의 전위가 접지 레벨이 되어 워드라인(WL)으로 접지단자(Vss)의 전압인 0V가 출력된다.

<38> 또한, 제1 입력신호(Vinput)가 '하이신호'이고, 제2 입력신호(Vdcharge)가 '로우(Low)신호'로서 제2 NMOS 트랜지스터(NT2)가 턴-오프될 경우, 스위칭 수단(NT3)이 턴-온되면 제2 노드(N2)의 전위가 제2 전원단자(Veei) 레벨이 되어 워드라인으로 제2 전원단

자(Veei)로부터의 음의 전압이 출력된다. 상기 스위칭 수단(NT3)이 NMOS 트랜지스터일 경우, 제3 입력신호(Vsw)가 하이신호이면 스위칭 수단(NT3)은 턴-온된다.

<39> 한편, 프로그램 및 독출 모드에서는 제1 입력신호(Vinput)에 로우신호를 인가하여 PMOS 트랜지스터(PT1)가 턴-온되고 제1 NMOS 트랜지스터(NT1)가 턴-오프되도록 하여, 제1 전원단자(Vpp)의 양의 전압이 워드라인(WL)으로 출력되도록 한다.

<40> 이하에서, 상술한 본 발명의 바람직한 실시예에 따른 로우 디코더를 이용한 소거 동작의 구체적인 실시예를 설명한다.

<41> 사이클링 등 소거 동작을 위해 본 발명의 바람직한 실시예에 따른 로우 디코더를 이용하여 아래 표와 같이 각 단자에 전압을 인가한다.

<42> 【표 1】

	페일 비트가 연결된 워드라인	페일 비트가 없는 워드라인
Vin	Vcc	Vcc
Veei	-8V	-8V
Vsw	-8V	Vcc
Vdcharge	Vcc	-8V

<43> 소거모드시 페일 비트가 연결된 워드라인(WL)에는 접지전압인 0V가 입력되는데, 이를 위해 제1 입력신호(Vinput) 및 제2 입력신호(Vdcharge)로서 전원전압(Vcc)을 인가하고 제3 입력신호(Vsw)로서 -8V를 인가한다. 이때, PMOS 트랜지스터(PT1)는 턴-오프(Turn-Off)되고 제1 NMOS 트랜지스터(NT1)는 턴-온(Turn-On)되며 제2 NMOS 트랜지스터(NT2)가 턴-온되고 스위칭 수단(NT3)은 턴-오프되어, 제2 노드(N2)의 전위가 접지 레벨이 되어 워드라인(WL)으로 접지전압인 0V가 출력되게 된다. 한편, 제2 전원단자(Veei)에는 -8V의 전압이 인가된다.

<44> 페일 비트가 없는 워드라인(WL)에는 제2 전원단자(Veei)의 전압인 -8V가 인가되는 데, 이를 위해 제1 입력신호(Vinput) 및 제3 입력신호(Vsw)로서 전원전압(Vcc)을 인가하고 제2 입력신호(Vdcharge)로서 -8V를 인가한다. 이때, PMOS 트랜지스터(PT1)는 턴-오프(Turn-Off)되고 제1 NMOS 트랜지스터(NT1)는 턴-온(Turn-On)되며 제2 NMOS 트랜지스터(NT2)가 턴-오프되고 스위칭 수단(NT3)은 턴-온되어, 제2 노드(N2)의 전위가 제2 전원단자(Veei)의 전압 레벨이 되어 워드라인(WL)으로 제2 전원단자(Veei)의 전압인 -8V가 출력되게 된다.

<45> 이와 같이, 본 발명의 로우 디코더를 이용하여 페일 비트가 없는 워드라인과 페일 비트가 연결된 워드라인에 각각 다른 전압(-8V와 0V)을 인가함으로써, 플로팅 게이트와 콘트롤 게이트 사이에 인가되는 전위차는 페일 비트가 발생한 셀과 정상적인 셀 모두에 대하여 약 7.5V가 되므로 사이클링 등 소거 동작시 발생할 수 있는 ONO 절연막의 절연 파괴 현상을 억제할 수 있다. 즉, 종래에는 페일 비트가 연결되어 있는 게이트를 포함하는 모든 워드라인에 -8V가 인가되게 되어 있지만, 본 발명에 의하면 페일 비트가 없는 워드라인은 모두 -8V가 인가되지만, 페일 비트가 연결된 워드라인에는 0V가 인가되게 된다. 따라서, 도 6에 나타난 바와 같이 플로팅 게이트(208)가 콘택(214)과 연결된 경우(도 6의 'A' 참조)에도, 플로팅 게이트(208)와 콘트롤 게이트(212) 사이에 인가되는 전위차는 ONO 절연막(210)의 절연 파괴전압에 훨씬 못미치는 전압인 7.5V 정도가 된다. 따라서, 사이클링 등 소거 동작시 발생할 수 있는 ONO 절연막(210)의 절연 파괴 현상을 억제할 수 있고, 플래시 메모리 소자의 신뢰성을 확보할 수 있다.

【발명의 효과】

<46> 본 발명에 의하면, 본 발명의 로우 디코더를 이용하여 페일 비트가 없는 워드라인과 페일 비트가 연결된 워드라인에 각각 다른 전압(-8V와 0V)을 인가함으로써, 플로팅 게이트와 콘트롤 게이트 사이에 인가되는 전위차는 페일 비트가 발생한 셀과 정상적인 셀 모두에 대하여 ONO 절연막의 절연 파괴전압에 훨씬 못미치는 전압 정도가 되므로 사이클링 등 소거 동작시 발생할 수 있는 ONO 절연막의 절연 파괴 현상을 억제할 수 있다.

<47> 이상, 본 발명의 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되는 것은 아니며, 본 발명의 기술적 사상의 범위내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러 가지 변형이 가능하다.

【특허청구범위】**【청구항 1】**

제1 입력신호를 게이트 전극 입력으로 하며 제1 전원단자와 제1 노드 사이에 접속된 PMOS 트랜지스터;

상기 제1 입력신호를 게이트 전극 입력으로 하며 상기 제1 노드와 제2 노드 사이에 접속된 제1 NMOS 트랜지스터;

제2 입력신호를 게이트 전극 입력으로 하며 상기 제2 노드와 접지단자 사이에 접속된 제2 NMOS 트랜지스터; 및

제3 입력신호를 게이트 전극 입력으로 하며 상기 제2 노드와 제2 전원단자 사이에 접속된 스위칭 수단을 포함하되, 상기 제1 노드는 워드라인에 연결되어 있는 것을 특징으로 하는 플래시 메모리의 로우 디코더.

【청구항 2】

제1항에 있어서, 상기 제1 전원단자로부터 출력되는 전압은 양의 전압인 것을 특징으로 하는 플래시 메모리의 로우 디코더.

【청구항 3】

제1항에 있어서, 상기 제2 전원단자로부터 출력되는 전압은 음의 전압인 것을 특징으로 하는 플래시 메모리의 로우 디코더.

【청구항 4】

제1항에 있어서, 상기 스위칭 수단은 NMOS 트랜지스터로 이루어진 것을 특징으로 하는 플래시 메모리의 로우 디코더.

【청구항 5】

로우 디코더를 이용한 플래시 메모리 셀의 소거 방법에 있어서,

페일 비트가 발생된 셀이 연결된 워드라인과 페일 비트가 발생하지 않은 셀이 연결된 워드라인을 구분하고, 소거모드에서 페일 비트가 발생된 셀의 플로팅 게이트와 콘트롤 게이트 사이의 유전체막이 절연 파괴되는 것을 억제하기 위하여 상기 페일 비트가 발생된 셀이 연결된 워드라인에는 접지 전압을 인가하고, 상기 페일 비트가 발생하지 않은 셀이 연결된 워드라인에는 소거전압인 음의 전압을 인가하여 소거하는 것을 특징으로 하는 플래시 메모리 셀의 소거 방법.

【청구항 6】

제5항에 있어서, 상기 소거모드에서 상기 워드라인에 소거전압을 인가하기 위하여 로우 디코더를 이용하되, 상기 로우 디코더는,

제 1 입력신호를 게이트 전극 입력으로 하며 제1 전원단자와 제1 노드 사이에 접속된 PMOS 트랜지스터;

상기 제1 입력신호를 게이트 전극 입력으로 하며 상기 제1 노드와 제2 노드 사이에 접속된 제1 NMOS 트랜지스터;

제 2 입력신호를 게이트 전극 입력으로 하며 상기 제2 노드와 접지단자 사이에 접속된 제2 NMOS 트랜지스터; 및

제3 입력신호를 게이트 전극 입력으로 하며 상기 제2 노드와 제2 전원단자 사이에 접속된 스위칭 트랜지스터를 포함하며, 상기 제1 노드는 워드라인에 연결되어 있는 것을 특징으로 하는 플래시 메모리 셀의 소거 방법.

【청구항 7】

제6항에 있어서, 상기 페일 비트가 발생된 셀이 연결된 워드라인에 접지전압을 인가하기 위하여 상기 제1 입력신호 및 상기 제2 입력신호로서 전원전압을 인가하고 상기 제3 입력신호로서 음의 전압을 인가하며, 상기 페일 비트가 발생하지 않은 셀이 연결된 워드라인에 소거전압인 음의 전압을 인가하기 위하여 상기 제1 입력신호 및 상기 제3 입력신호로서 전원전압을 인가하고 상기 제2 입력신호로서 음의 전압을 인가하며, 상기 제2 전원단자는 소거전압을 출력하는 것을 특징으로 하는 플래시 메모리 셀의 소거 방법.

【청구항 8】

제7항에 있어서, 상기 페일 비트가 발생된 셀이 연결된 워드라인에 접지전압을 인가하기 위하여 상기 제3 입력신호로서 -8V 정도의 전압이 인가되며, 상기 페일 비트가 발생하지 않은 셀이 연결된 워드라인에 소거전압인 음의 전압을 인가하기 위하여 상기 제2 입력신호로서 -8V 정도의 전압이 인가되며, 상기 소거전압은 -8V 정도의 전압인 것을 특징으로 하는 플래시 메모리 셀의 소거방법.

【청구항 9】

제5항에 있어서, 상기 플래시 메모리 셀은,
반도체 기판 상에 형성된 터널 산화막;
상기 터널 산화막 상에 형성된 플로팅 게이트;
상기 플로팅 게이트 상에 형성된 유전체막;
상기 유전체막 상에 형성된 콘트롤 게이트; 및

상기 터널 산화막 양측부의 상기 반도체 기판에 형성된 소오스 영역 및 드레인 영역을 포함하는 구조로 이루어지되, 상기 콘트롤 게이트는 워드라인에 연결되고, 상기 소거모드에서 상기 반도체 기판은 양의 전압을 인가하고, 상기 소오스 영역 및 드레인 영역은 플로팅시키는 것을 특징으로 하는 플래시 메모리 셀의 소거 방법.

【청구항 10】

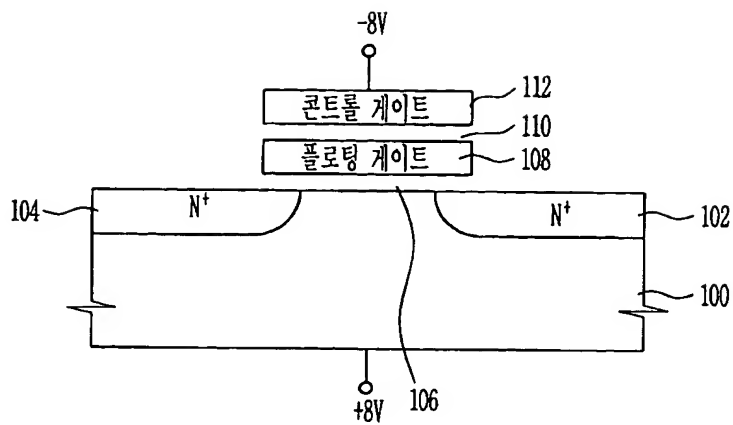
제9항에 있어서, 상기 소거모드에서 상기 반도체 기판에 인가되는 전압은 +8V 정도의 전압인 것을 특징으로 하는 플래시 메모리 셀의 소거 방법.

【청구항 11】

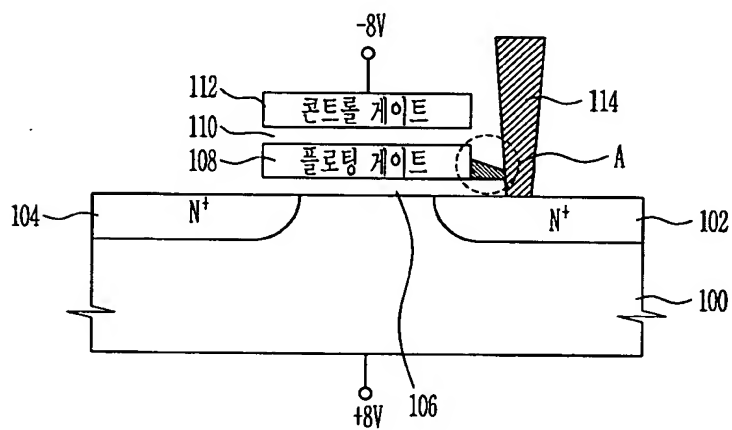
제5항에 있어서, 상기 페일 비트가 발생된 셀은 플로팅 게이트와 소오스/드레인 콘택이 전기적으로 연결되어 낮은 트랜스컨덕턴스 특성을 나타내는 셀인 것을 특징으로 하는 플래시 메모리 셀의 소거 방법.

【도면】

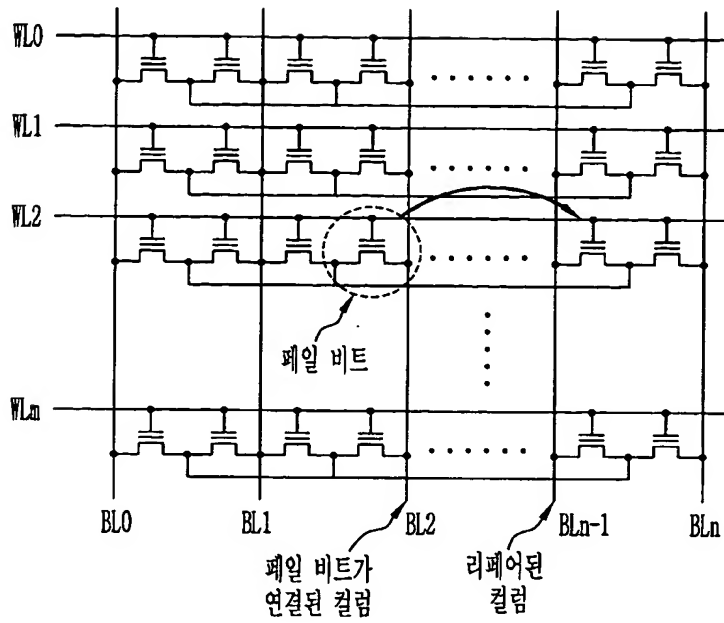
【도 1】



【도 2】



【도 3】



【도 4】

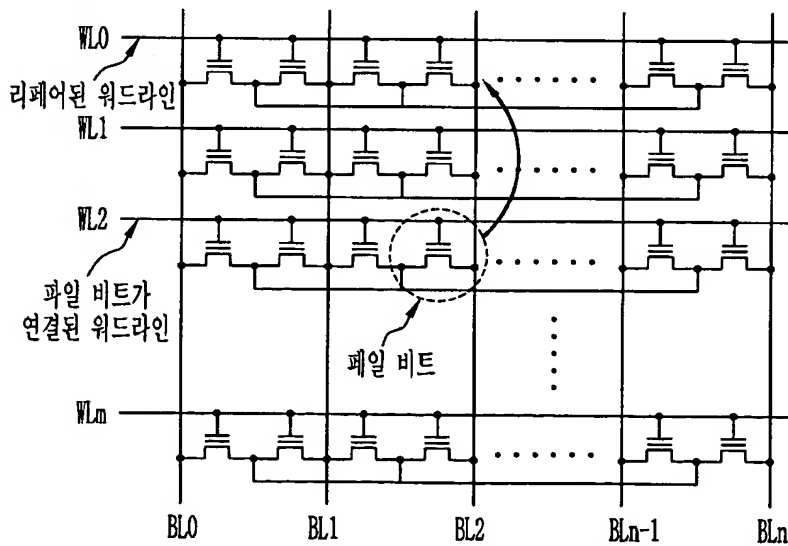


Figure 1 is a cross-sectional view of a semiconductor device. The device includes a substrate (200) with a central channel (206) and N+ regions (204, 202). A control gate (212) and a floating gate (208) are positioned above the channel. The control gate is connected to 0V, and the floating gate is connected to +8V. A side view (A) shows the gate structure, including a gate stack (214) and a gate (210).